

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243547
(43)Date of publication of application : 21.09.1993

(51)Int.CI.

H01L 27/146
H04N 5/335

(21)Application number : 04-044392

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.03.1992

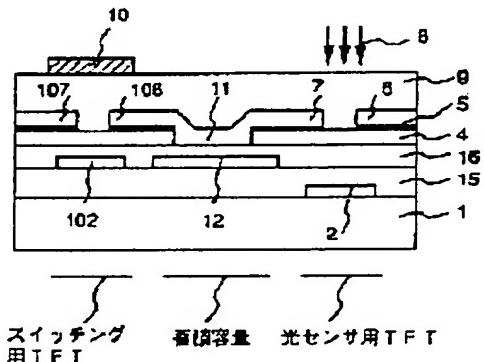
(72)Inventor : KANEKO YOSHIYUKI
YAMAGUCHI MUNEAKI
TSUTSUI KEN

(54) THIN FILM PHOTODISPLAY

(57)Abstract:

PURPOSE: To provide a TFT-type thin film photosensor having a large photocurrent which is suitable for a close contact type two dimensional image sensor.

CONSTITUTION: The thickness of a gate insulating film 15 of a photosensor TFT is made larger than that of a gate insulating film 16 of a switching TFT and a gate insulating film/amorphous silicon interface in each TFT is formed under the same conditions. Thereby, it is possible to improve a photocurrent and to cope with the demands of small devices with more fine element structure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

**Japanese Publication for Unexamined Patent
Application No. 243547/1993 (Tokukaihei 05-243547)**

A. Relevance of the Above-identified Document

This document has relevance to claims 1 through 4 of the present application.

B. Translation of the Relevant Passages of the Document

[0009]

[MEANS TO SOLVE THE PROBLEM]

In order to solve the foregoing problem, the present invention provides a TFT-type thin film photosensor in which the thickness of a gate insulating film 15 is made larger than that of a gate insulating film 16 of a switching TFT, and a gate insulating film/amorphous silicon interface in each TFT of the TFT-type thin film photosensor and the switching TFT is formed under the same conditions. To realize this arrangement, each gate electrode of the TFT-type thin film photosensor and the switching TFT is formed from a metal layer manufactured through a separate process.

THIS PAGE IS ANK (USPTO)

(3)

[0011] [実施例] 以下、本発明の実施例を図1により説明する。図1は本実施例による薄膜光センサの断面図である。この光センサの作製プロセスは次の通りである。

[0012] ガラス基板1上に、光センサ用TFTのゲート電極2として200 nmのCr+SiO₂バッファリヤ法で形成する。通常のオトトリソフライ法を用いてバーチャルゲートとする。ついでCVD法により第1のゲート絶縁膜3とSiO₂(300 nm)を堆積する。その後、再びバッファリヤ法により厚さ200 nmのCr+SiO₂を堆積する。ついでTFT用のゲート電極4と蓄積容量の一方の電極5を形成する。

[0013] 次に、CVD法により第2のゲート絶縁膜6と異なる質化シリコン(=Si:H)をそれぞれ3.0 nm、2.0 nmの厚さに堆積する。さらに同じくプラズマCVD法により、オーミックコントタクトを取るためのn型-Si:H6と上記2層に複合する。厚さは、4.0 nmである。

[0014] プラズマCVD法は、真空容器中にモノシランSiH₄をベースにしたガスを導入し、RFパワーを加えることによりプラズマを形成し、これにより分解したSiおよび水素が基板上に堆積するものである。この場合、a-Siが形成されるが、Si:H₄とともに窒素やアンモニアを導入すればSi:Nが形成される。またホスフィン(PH₃)を導入すれば、n型不純物である磷をドープしたa-Siを形成することができる。これらは、ゲート絶縁膜やオーミックコントタクトとなる。構成後のa-Si層はバターニングされると、

[0015] つきにソース電極6、106とドレイン電極7、107及び蓄積容量の他の地方の電極11を形成する。電極材料はCrとAlの二層膜を用いる。Crはa-SiとAlの反応を防止するためのバッファ層であり、Alは耐候性の低抵抗化のためである。各々の膜厚は1.00 μm、3.00 nmである。CrとAlの二層膜は、この後、バーニングして形成される。なお、バーニングされたソースおよびドレイン電極をマスクとしてn+ a-Si:H層もエッチングする。これは、セルファーライドとなる。

[0016] この後、チャオル保険膜としてプラズマCV法によるSiNを用いてスイッチング用TFT及び光センサ用TFTの保護膜9を設け、次にスイッチング用TFTの上方にはソース・ドレイン電極と蓄積するようにAlの6.00 nmを用いて遮光膜10を形成する。すなわち、この遮光膜によって、明電流と暗電流にかかるTFTの良好な動作が可能になる。

[0017] 図2は本実施例による光センサ用TFTのドレイン電圧を1.0 Vに固定した場合の電流-電圧特性を示したものである。この光センサは、ゲート絶縁膜厚が図5に示したもののが2倍程度高いので、ゲート電圧が

[0022] 以上説明してきたように、本発明は蓄積容量を用いたTFT型光センサにおいて、明電流を向上させることが可能な構造である。この意味で、本発明は上記実施例に限定されない。例えば、ゲート電極はCrに限らずAlやTaであってよいし、ゲート絶縁膜はSiNやSiO₂に限らずAl₂O₃やTa₂O₅あるいはこれらの組合せであってよい。またTFTの半導体材料は、非晶質シリコンに限らず多結晶シリコンであってよい。

[0023] [発明の効果] 本発明によれば、蓄積容量を用いたTFT型光センサ用TFTのゲート絶縁膜厚を厚くすることにより、食い込み率を低減し、從来よりも大きな明電流を実現できる。またその際、光センサ用TFTとスイッチング用TFT用のゲート電極を別の工程で形成するのでスイッチング用TFT用のゲート絶縁膜厚は從来と同程度に保たれ、スイッチング速度の低下は生じることはない。従って、面積における電子形状の小型化、画面の高精細化を実現することができる。

[図面の附記な説明]

電圧範囲(例えば-3 V以下)のある電圧V_Sに固定される。スイッチング用TFTの三つの端子については、ゲート端子が垂直走査線に接続され、ドライン端子が水平走査線に接続されている。またソース端子は、光センサ用TFTのドレン端子に接続されている。水平走査線及び蓄積容量の一方の端子はスイッチング用TFTのソース、ドレン端子と同時に形成され、垂直走査線はスイッチング用TFTのゲート電極と同時に形成される。各水平走査線は、水平走査回路に接続され、また各垂直走査線は垂直走査回路に接続されている。

[0019] この2次元蓄積光センサの要點は、次の通りである。

① まず最初に、垂直走査線G₁に接続された全てのスイッチングTFTを所定時間t₁だけオフ状態にする。

この走査により各画素の蓄積容量が充電される。

② 次に、時間t₂の間に各水平走査線D₁～D_mを通じて、上記蓄積容量が読み出される。この光電荷取出は、イメージの明暗に応じてその大きさが異なる。この場合の電荷量の読み出し方は、時間t₁をm分割して各走査線毎に読み込み出す(すなわち、水平走査線一本あたりの読み出し時間はt₁/m秒)方法と、各水平走査線の読み出し時間t₁をえて、垂直走査線G₁に連なる画素の充電電荷量を同時に読み出す方法がある。本発明による光センサでは、いずれの方式も可能である。

③ 垂直走査線G₁に接続された全てのスイッチングTFTをオフ状態にする。

④ 0.02 t₁① 次段の垂直走査線G₂に接続された全てのスイッチングTFTを所定時間t₁だけオフ状態にし、上記②と同じ操作を行う。

⑤ 同様に上記①～③を、垂直走査線G_nまで行い、読み出しが完了する。画面一枚あたりの読み出し時間はn×t₁秒である。

⑥ 10.02 t₁さて、光センサによる画像読み取りについて、例えば、垂直走査線G₁に接続された画素に着目して説明する。①でスイッチングTFTをオフ状態にした後、次にオン状態になるまでの(n-1)×t₁秒間に光センサ用TFTが蓄積容量に保持された電荷を放電する。この放電電荷量は、光センサに入射する光の量によって決まる。これが画像読み取り動作である。

5

(4)

小さくなり、特に明電流が抑制されずに1桁程度大きくなっている。一方、暗電流の変化はこれに比べて小さく、明暗比が改善されている。

[0018] 図3は薄膜光センサを次の通りである。各画素は、上述のように光センサ用TFT、スイッチング用TFT及び蓄積容量から成る。光センサ用の3つの端子のうち、ドレン端子は蓄積容量の一方の端子に接続され、ソース端子は蓄積容量のもう一方の端子に接続されて接続されている。またゲート端子は、図2に示されるように明暗比の確保できる電圧範囲(例えば-3 V以下)のある電圧V_Sに固定される。スイッチング用TFTの三つの端子については、ゲート端子が垂直走査線に接続され、ドライン端子が水平走査線に接続されている。またソース端子は、光センサ用TFTのドレン端子に接続されている。水平走査線及び蓄積容量の一方の端子はスイッチング用TFTのソース、ドレン端子と同時に形成され、垂直走査線はスイッチング用TFTのゲート電極と同時に形成される。各水平走査線は、水平走査回路に接続され、また各垂直走査線は垂直走査回路に接続されている。

[0019] この2次元蓄積光センサの要點は、次の通りである。

① まず最初に、垂直走査線G₁に接続された全てのスイッチングTFTを所定時間t₁だけオフ状態にする。

この走査により各画素の蓄積容量が充電される。

② 次に、時間t₂の間に各水平走査線D₁～D_mを通じて、上記蓄積容量が読み出される。この光電荷取出は、イメージの明暗に応じてその大きさが異なる。この場合の電荷量の読み出し方は、時間t₁をm分割して各走査線毎に読み込み出す(すなわち、水平走査線一本あたりの読み出し時間はt₁/m秒)方法と、各水平走査線の読み出し時間t₁をえて、垂直走査線G₁に連なる画素の充電電荷量を同時に読み出す方法がある。本発明による光センサでは、いずれの方式も可能である。

③ 垂直走査線G₁に接続された全てのスイッチングTFTをオフ状態にする。

④ 0.02 t₁① 次段の垂直走査線G₂に接続された全てのスイッチングTFTを所定時間t₁だけオフ状態にし、上記②と同じ操作を行う。

⑤ 同様に上記①～③を、垂直走査線G_nまで行い、読み出しが完了する。画面一枚あたりの読み出し時間はn×t₁秒である。

⑥ 10.02 t₁さて、光センサによる画像読み取りについて、例えば、垂直走査線G₁に接続された画素に着目して説明する。①でスイッチングTFTをオフ状態にした後、次にオン状態になるまでの(n-1)×t₁秒間に光センサ用TFTが蓄積容量に保持された電荷を放電する。この放電電荷量は、光センサに入射する光の量によって決まる。これが画像読み取り動作である。

6

[図1] 本発明の実施例の説明図。
[図2] 本発明による光センサ用TFTの電流-電圧特性図。

[図3] 本発明による2次元蓄積光センサの等価回路図。

[図4] 従来技術によるTFT型光センサの断面図。
[図5] 従来技術によるTFT型光センサの電流-電圧特性図。

[図6] 従来技術による薄膜光センサの断面構造図。
[図7] 図6の等価回路図。

[図8] 従来技術による所用薄膜光センサの断面図。
[図9] ホトダイオードを用いた従来技術によるセンサの説明図。

[図10] 従来技術によるTFT型光センサの断面図。
[図11] 本発明による光センサ用TFTの電流-電圧特性図。

[図12] 従来技術によるTFT型光センサの断面構造図。

[図13] 従来技術による光センサ用TFTの等価回路図。

[図14] 従来技術による薄膜光センサの断面構造図。

[図15] 従来技術によるTFT型光センサの断面構造図。

[図16] 従来技術による薄膜光センサの断面構造図。

[図1]

[図2]

[図3]

[図4]

[図5]

[図6]

[図7]

[図8]

[図9]

[図10]

[図11]

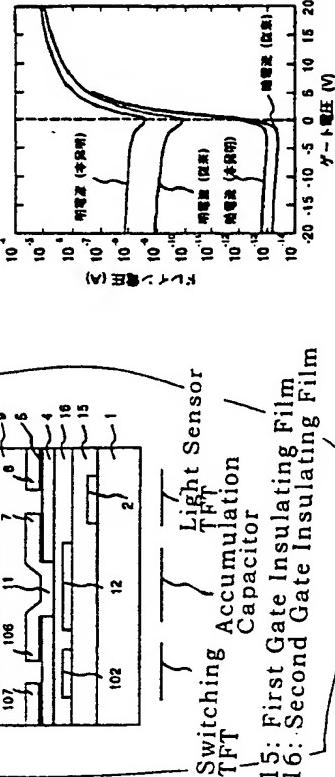
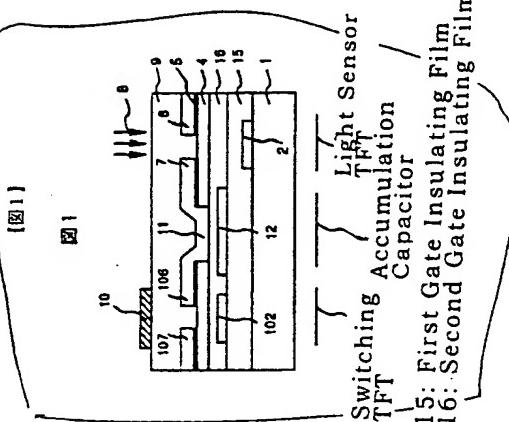
[図12]

[図13]

[図14]

[図15]

[図16]



THIS PAGE BLANK (USPTO)

(19)日本特許庁 (JP) (12)公開特許公報 (A)

【特許請求の範囲】

【請求項1】少なくともも光センサ用薄膜トランジスタとスイッチング用薄膜トランジスタと前記光センサ用薄膜トランジスタおよび前記スイッチング用薄膜トランジスタとに接続された容量性の負荷からなる薄膜光センサである。前記光センサ用薄膜トランジスタのゲート絶縁膜が前記スイッチング用薄膜トランジスタのゲート絶縁膜よりも大きいことを特徴とする薄膜光センサ。

【請求項2】請求項1において、前記スイッチング用薄膜トランジスタ、前記光センサ用薄膜トランジスタ及び容量性の負荷の組を単位として、それらが複数組マトリクス配列され、前記スイッチング用薄膜トランジスタのゲートが行方向に共通接続され、ドラインが所指向に共通接続されてマトリクスアレイを構成する薄膜光センサ。

【請求項3】請求項1または2において、前記スイッチング用薄膜トランジスタ及び光センサ用薄膜トランジスタの半導体層が半品質シリコンからなる薄膜光センサ。

(54)【発明の名稱】薄膜光センサ

(55)【要約】

【目的】在着型二次元イメージセンサに対する大さい TFT型薄膜光センサを提供する。

【構成】光センサ用 TFTのゲート絶縁膜1の厚さをスイッチング用 TFTのゲート絶縁膜6の厚さよりも大きくなおかつそれぞれの TFTにおけるゲート絶縁膜／非品質シリコン界面を同一条件で形成した。

【効果】明電流が改善され、噪子の小型化、高精細化に貢献することができる。

〔0005〕① まずスイッチングトランジスタをして蓄積容量を充電する。

② 次にスイッチングトランジスタをオフした後、光の強度に応じて充電電荷が放電される。これは光センサのソース、ドレン間にある薄膜光センサである。③ 所定の時間の後、再びスイッチングトランジスタをオンして蓄積容量を充電する。この時の充電電荷を取り出して、光の強度を検出する。

この運動では、①と③の充電動作を繰り返すことでも可能である。

〔0006〕なお、上記公報では、図6の構造をさらに簡略化した図8のような構造が示されている。これらの場合では、光センサ用 TFT、スイッチング用 TFT及び蓄積容量を同一プロセスで形成できること有利である。例えば、図9に示すように、光センサ用 TFTを用いる場合と比べると、この利点の重要性は明白である。すなわち、ホタトイードの場合は、その裏の堆積層がスイッチング用 TFTのそれと整合しないので、作製手順が非常に複雑になる。

〔0007〕上述のように、従来技術による TFTを用いた薄膜光センサは大面积積にわたる2次元化が容易であり、また、従来の液晶ディスプレイ用 TFTの作製方法をそのまま適用できるので、きわめて有望であるということができる。

〔0008〕

【発明が解決しようとする課題】しかし、上記薄膜光センサの特性には、改善すべき余地が残っている。すなわち、図5に示したような光センサ用 TFTの電流-電圧特性においては、明電流が低く抑えてしまうことが、センサの特性として望ましくない。したがって、この明電流を大きくすることがこの型の光センサの課題であつた。

〔0009〕この薄膜光センサの基本構造は、特開昭68-18978号公報に記載されている。これによれば、本発明は、光センサ用 TFTのゲート絶縁膜8上に、本発明で用いられる薄膜トランジスタにおいてソース電極6及びドライン電極7側から光を照射して非品質シリコン(a-Si)4に吸収させ、入射光量に応じたソース、ドレン間電流を取出す。この光センサ用 TFTの特性の一例を図5に示す。光照射時(明状態)と暗状態とは、特に、TFTのゲートオフ時の電流レベルに変化が著しいので、このゲート電圧条件で用いるのが望ましい。また、この光センサは、非品質シリコンを用いるので大面积化に好適である。

〔0010〕【作用】光センサ用 TFTのゲート絶縁膜を厚くすることにより、供のゲート電界がチャネルを流れる光電流を抑える効果を低減し、從来よりも大きな明電流を実現できる。またその際、光センサ用 TFTとスイッチング用 TFTのゲート電圧を別の工程で形成するのでスイッチング用 TFTのゲート絶縁膜は從来と同程度に保たれ、スイッチング速度の低下は生じることはない。

(11)特許出願人 (JP)

特開平5-243547

(43)公開日 平成5年(1993)9月21日

技術表示箇所

審査請求 未請求 請求項の数3(全6頁)

(7)出願人 000005108

株式会社日立製作所

東京都千代田区霞橋河台四丁目6番地

(72)発明者 金子 好之

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 山口 宗明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騎男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騎男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騎男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騎男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

東京都墨田区東向ヶ丘1丁目280番地

(74)代理人 並里士 小川 騒男

株式会社日立製作所中央研究所内

(21)出願番号 特願平4-443932

(22)出願日 平成4年(1992)3月2日

(7)出願人 000005108

株式会社日立製作所

東京都墨田区東向ヶ丘1丁目280番地

(72)発明者 佐野 明

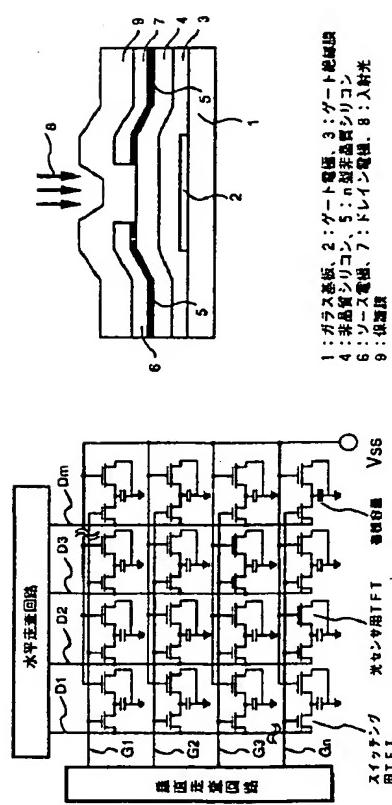
株式会社日立製作所中央研究所内

(72)発明者 鮎井 譲

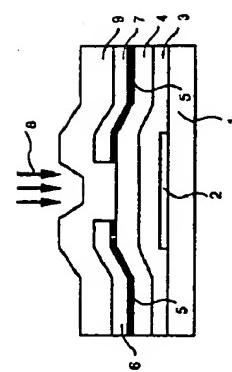
(6)

[図3]

図4



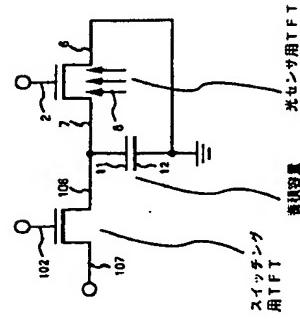
[図4]



(6)

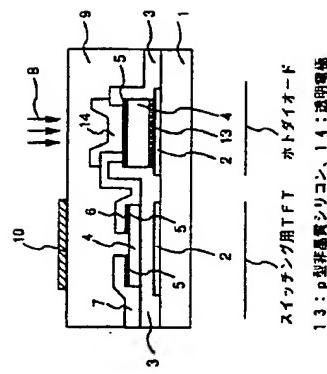
[図5]

図7

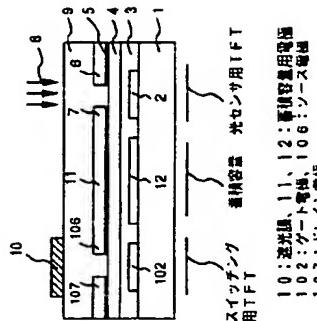


[図9]

図9



[図6]



[図5]

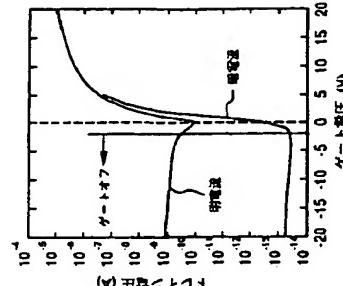


図8

[図8]

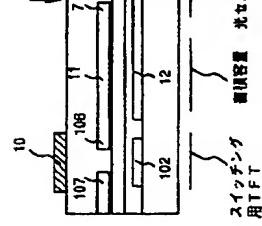


図8

[図8]

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY